

PERANCANGAN DISKRIT D FLIP-FLOP MENGGUNAKAN TEKNOLOGI CMOS 0.35 μm

Widyastuti¹⁾, Hamzah Afandi²⁾, Ganjar Febriyani pratiwi²⁾
CetakTebaldanNamaTidakBolehDisingkat]

¹Teknik Elektro, Universitas Gunadarma (penulis 1)
email: widyast@staff.gunadarma.ac.id

²Teknik Elektro, Universitas Gunadarma (penulis 2)
email: hamzah@staff.gunadarma.ac.id

³Teknik Elektro, Universitas Gunadarma (penulis 3)
email: ganjar_pratiwi@staff.gunadarma.ac.id

Abstract

Accumulator dump is one of the tools used to convert serial data into parallel data on RFID communications. Accumulator dump on RFID communication consists of a series of counters and registers, where one of the supporting circuits in the counter and register is D flip-flop. D flip-flops are one type of flip-flop that is built using RS flip-flops. Discrete circuit design Master-slave flip-flops are built using NAND logic gates built using 0.35 μm CMOS technology. The results of the D flip-flop circuit design are simulated using LT-SPICE software to see the speed of response and power dissipation in the circuit.

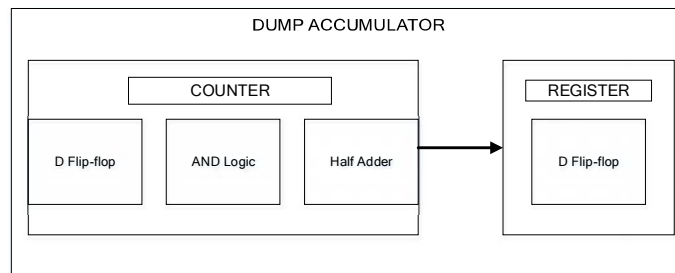
Keywords: *RFID, CMOS 0.35 μm , D flip-flop, Dump Accumulator, NAND logic*

1. PENDAHULUAN

Flip-flop adalah rangkaian digital yang mampu menyimpan sementara 1 bit masukannya sampai ada perintah untuk mengganti isi bit masukan yang disimpan tersebut [1]. D flip-flop adalah salah satu jenis flip-flop yang dibangun dengan menggunakan flip-flop RS. Flip-flop RS memiliki 2 masukan R dan S, sedangkan pada D flip-flop memiliki hanya 1 masukan yaitu D. D flip-flop bisa diaplikasikan pada berbagai macam peralatan elektronik pada berbagai bidang. Beberapa bidang yang memanfaatkan D flip-flop pada aplikasinya adalah pengiriman daya, infrastruktur jaringan, medis, kesehatan, penerangan, sistem otomasi gedung, infrastruktur komunikasi, pengukuran.

Radio Frequency Identification (RFID) adalah teknologi komunikasi yang memanfaatkan gelombang elektromagnetik (frekuensi radio). Teknologi RFID sudah banyak digunakan di berbagai aspek kehidupan sehari-hari khususnya dibidang pembayaran elektronik (e-commerce). Pada penelitian ini, teknologi RFID digunakan pada bidang pertanian, khususnya bagian pembibitan tanaman. RFID tag yang sudah terintegrasi dengan sensor pemantau kesuburan tanah, dipasang pada media tanam untuk selanjutnya mengirimkan data hasil pemantauan kesuburan media tanam kepada RFID reader ketika reader didekatkan kepada RFID tag. Data yang dikirimkan berupa data digital. Pada komunikasi data digital, komunikasi data dapat dilakukan dengan cara komunikasi serial maupun komunikasi paralel. Masing-masing cara komunikasi tersebut memiliki kekurangan dan kelebihan masing-masing. Pada komunikasi RFID ini data serial diubah menjadi data paralel. Salah satu alat yang digunakan untuk mengubah data serial menjadi data paralel adalah dengan menggunakan Dump Accumulator.

Dump Accumulator terdiri dari rangkaian Counter dan Register seperti pada gambar 1. Baik Counter maupun register, salah satu komponen pembangunnya adalah flip-flop. Rangkaian counter dan register tersebut dapat dibangun dengan menggunakan D flip flop ataupun JK flip flop. Pada penelitian ini, counter dan register yang dirancang adalah dengan menggunakan D flip-flop master-slave.



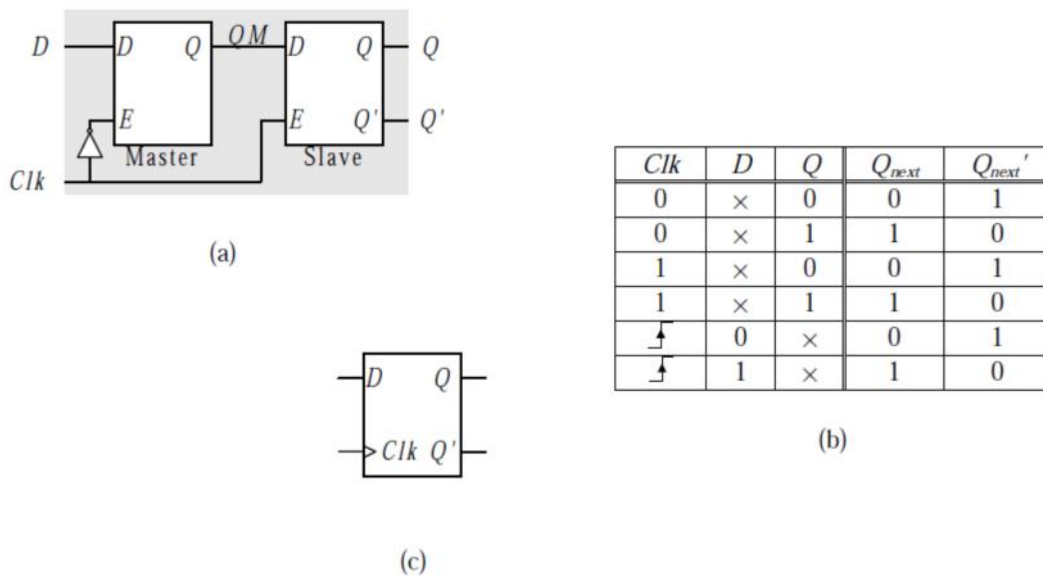
Gambar 1. Skema rangkaian Dump Accumulator

Rangkaian D flip-flop bisa dibangun dengan berbagai macam rangkaian dan gerbang logika. Salah satu cara membangun D flip-flop adalah dengan menggunakan susunan 4 gerbang logika NAND. Perancangan rangkaian D Flip-flop ini disusun dengan 4 gerbang NAND yang dibangun menggunakan teknologi CMOS 0.35 μm . Hasil rancangan D flip-flop dengan rangkaian CMOS 0.35 μm tersebut disimulasikan menggunakan perangkat lunak LT-SPIICE. D flip-flop dengan rangkaian CMOS 0.35 μm ini dirancang agar bisa menghasilkan waktu respons yang cepat dan disipasi daya yang sangat rendah.

2. KAJIAN LITERATUR

Latch dan *flip-flop* adalah elemen dasar untuk menyimpan informasi. Satu latch atau flip-flop dapat menyimpan satu bit informasi. Perbedaan utama antara latch dan flip-flop adalah bahwa untuk latch, output mereka terus-menerus dipengaruhi oleh input mereka selama sinyal diaktifkan dinyatakan. Dengan kata lain, ketika mereka diaktifkan, konten mereka segera berubah ketika masukan mereka berubah. Flip-flop, di sisi lain, memiliki konten yang hanya berubah baik di tepi naik atau turun dari sinyal aktifkan. Sinyal pengendali ini merupakan sinyal pengontrol jam. Setelah tepi jam naik atau turun, konten flip-flop tetap konstan bahkan jika input berubah. Pada dasarnya ada empat jenis utama latch dan flip-flop: SR, D, JK, dan T. Perbedaan utama dalam jenis flip-flop ini adalah jumlah input yang mereka miliki dan bagaimana mereka mengubah negara. Untuk setiap jenis, ada variasi berbeda yang meningkatkan operasi mereka. Dalam bab ini, kita akan melihat operasi berbagai latch dan flipflops.

Latch sering disebut level-sensitif karena output mereka mengikuti input mereka selama mereka diaktifkan. Mereka transparan selama seluruh waktu ini ketika sinyal diaktifkan ditegaskan. Ada situasi ketika lebih berguna untuk mengubah output hanya di tepi naik atau turun dari sinyal aktifkan. Sinyal aktif ini biasanya merupakan sinyal pengontrol jam. Dengan demikian, kita dapat memiliki semua perubahan yang disinkronkan ke tepi naik atau turun jam. Flip-flop yang dipicu tepi mencapai ini dengan menggabungkan serangkaian sepasang pengait. Gambar 2 (a) menunjukkan flip-flop D yang dipicu positif, di mana dua buah pengait D terhubung dalam seri dan sinyal jam Clk terhubung ke input E pada latch, satu secara langsung, dan satu lagi melalui inverter. Latch pertama disebut latch utama. Latch master diaktifkan ketika Clk = 0 dan mengikuti input utama D. Ketika Clk adalah 1, gerendel master dinonaktifkan tetapi gerendel kedua, yang disebut latch budak, diaktifkan sehingga output dari latch utama ditransfer ke latch budak. Slave latch diaktifkan selama Clk = 1, tetapi isinya hanya berubah pada awal siklus, yaitu hanya di tepi naik sinyal karena sekali Clk adalah 1, latch master dinonaktifkan dan jadi masukan ke pengait budak tidak akan berubah. Sirkuit Gambar 2 (a) disebut flip-flop yang dipicu tepi positif karena output Q pada pengait slave hanya berubah di tepi naik jam. Jika gerendel budak diaktifkan ketika jam rendah, maka itu disebut sebagai flip-flop yang dipicu tepi negatif. Sirkuit Gambar 2 (a) juga disebut sebagai flip-flop masterslave D karena dua latch yang digunakan dalam rangkaian. Gambar 2 (b) dan (c) menunjukkan tabel kebenaran dan simbol logika masing-masing. Gambar 2 (d) menunjukkan diagram waktu untuk D flip-flop.



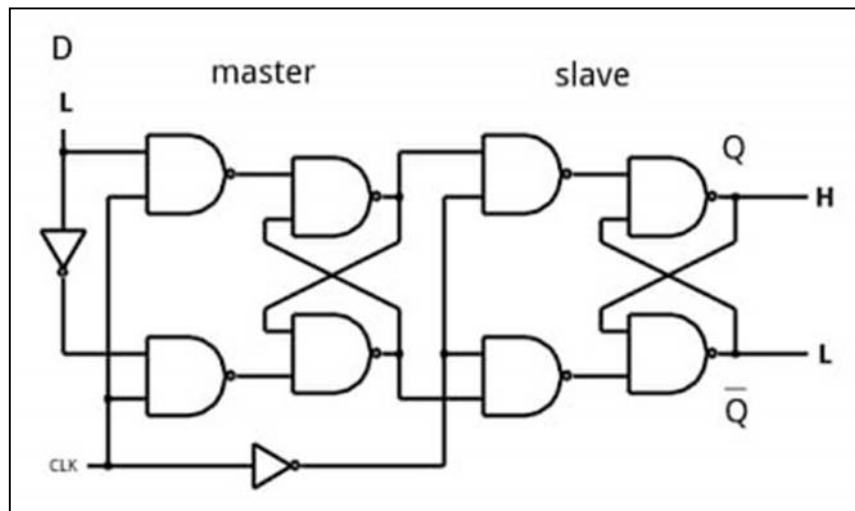
Gambar 2. Master-slave positive-edge-triggered D flip-flop: (a) sirkuit menggunakan latch D; (b) tabel kebenaran; (c) logika simbol;

3. METODE PENELITIAN

Penelitian ini merupakan perancangan D flip-flop master-slave yang dibangun dengan menggunakan gerbang logika NAND dengan teknologi CMOS 0.35 μm . Perancangan awal dimulai dengan menentukan skema rangkaian dari D flip-flop master-slave. Kemudian selanjutnya merancang gerbang logika NAND dengan menggunakan CMOS 0.35 μm . Selanjutnya menggabungkan gerbang logika NAND tersebut menjadi rangkaian D flip-flop. Semua rangkaian tersebut di rancang dan disimulasikan menggunakan perangkat lunak LT-SPIICE.

3.1 SKEMA RANCANGAN D-FLIP FLOP

Rangkaian D flip-flop yang dirancang adalah D flip-flop master-slave. Konfigurasi dari D flip-flop master-slave memiliki keuntungan yaitu edge-triggered, yaitu aktif ketika dipicu di awal clock [2]. Rangkaian master-slave D flip-flop memiliki 2 D flip-flop yang saling terhubung, yaitu sebagai master dan sebagai slave. Rangkaian ini dirancang sebagai toggle master-slave D flip-flop, dimana keluaran Q' diumpankan ke masukan D , sehingga masukannya bergantung pada keluaran dari Q' . Rangkaian ini didesain ketika clock naik, input D disimpan pada latch pertama, tetapi latch kedua tidak mengubah status. Ketika clock rendah, output latch pertama disimpan di latch kedua, tetapi latch pertama tidak mengubah status. Dengan demikian keluaran Q hanya akan berubah jika clock rendah, dan ketika clock tinggi maka keluaran Q akan mempertahankan keadaan sebelumnya. Perancangan rangkaian D flip-flop pada penelitian ini mengikuti skema seperti gambar 3.



Gambar 3. Skema perancangan rangkaian D-flipflop menggunakan susunan gerbang logika NAND

Skema pada gambar 3 tersebut disusun menggunakan 4 buah gerbang logika NAND dan 2 buah gerbang logika NOT. Masukan D pada flip-flop adalah keluaran dari Q' , sehingga keluaran Q bergantung dari keluaran Q' . Rancangan D flip-flop seperti ini disebut juga sebagai D flip-flop master-slave toggle.

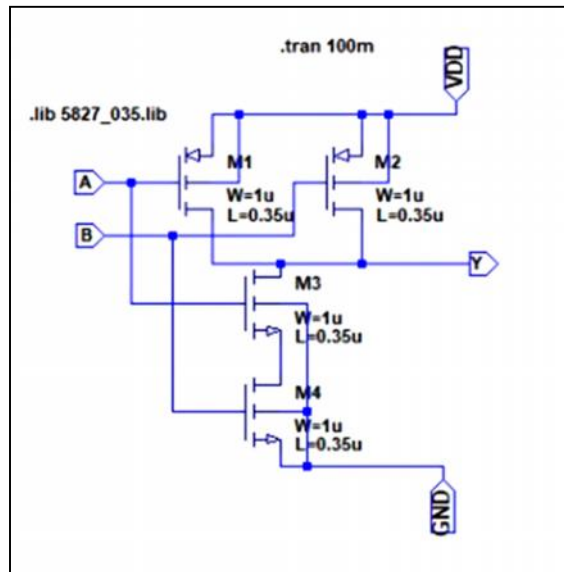
3.2 RANCANGAN RANGKAIAN GERBANG LOGIKA NAND DENGAN TEKNOLOGI CMOS 0.35 μm

Gerbang logika NAND merupakan gabungan antara gerbang logika AND dan NOT (NOT-AND), dengan demikian tabel kebenaran dari gerbang NAND bisa disusun sesuai dengan keluaran NOT-AND. Adapun tabel kebenaran dari gerbang NAND adalah seperti pada tabel 2. Gerbang NAND yang digunakan pada perancangan ini dengan menggunakan teknologi CMOS 0.35 μm .

Tabel 2. Tabel Kebenaran rancangan gerbang logika NAND

INPUT		OUTPUT
A	B	
0	0	1
0	1	1
1	0	1
1	1	0

Rancangan Gerbang logika NAND dibangun dengan rangkaian CMOS 0.35 μm yang disusun sedemikian rupa sehingga dapat menghasilkan keluaran yang sesuai dengan tabel kebenaran NAND seperti pada tabel 2. Adapun skema rangkaian CMOS 0.35 μm untuk membangun gerbang logika NAND dapat dilihat pada gambar 4.

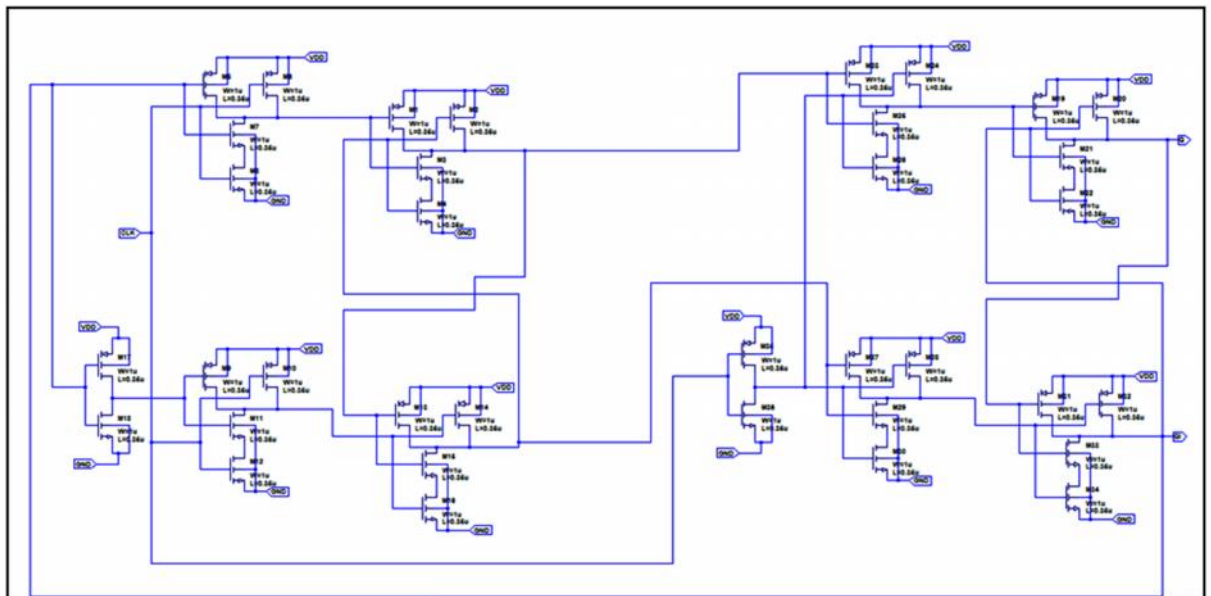


Gambar 4. Rangkaian gerbang logika NAND dengan CMOS

Rancangan gerbang NAND menggunakan teknologi CMOS 0.35 μm pada gambar 4, digambar menggunakan perangkat lunak LT-SPICE. Rancangan rangkaian gerbang NAND dengan CMOS pada gambar 4 adalah untuk 1 gerbang NAND dengan dua masukan.

3.3 RANCANGAN RANGKAIAN D - FLIP FLOP DENGAN TEKNOLOGI CMOS 0.35 μm

Rangkaian gerbang logika NAND pada gambar 4 adalah skema rangkaian untuk 1 gerbang logika NAND. Untuk membangun D flip-flop sesuai skema pada gambar 3, maka dibutuhkan 4 buah susunan rangkaian gerbang NAND seperti pada gambar 4 dan 1 buah rangkaian gerbang NOT dengan teknologi CMOS 0.35 μm . Jika 4 buah gerbang NAND dan 1 buah gerbang NOT dengan CMOS disusun mengikuti skema pada gambar 3, maka akan menghasilkan rangkaian D flip-Flop dengan teknologi CMOS 0.35 μm seperti pada gambar 5.



Gambar 5. Rancangan Rangkaian D-Flipflop dengan teknologi CMOS 0.35 μm

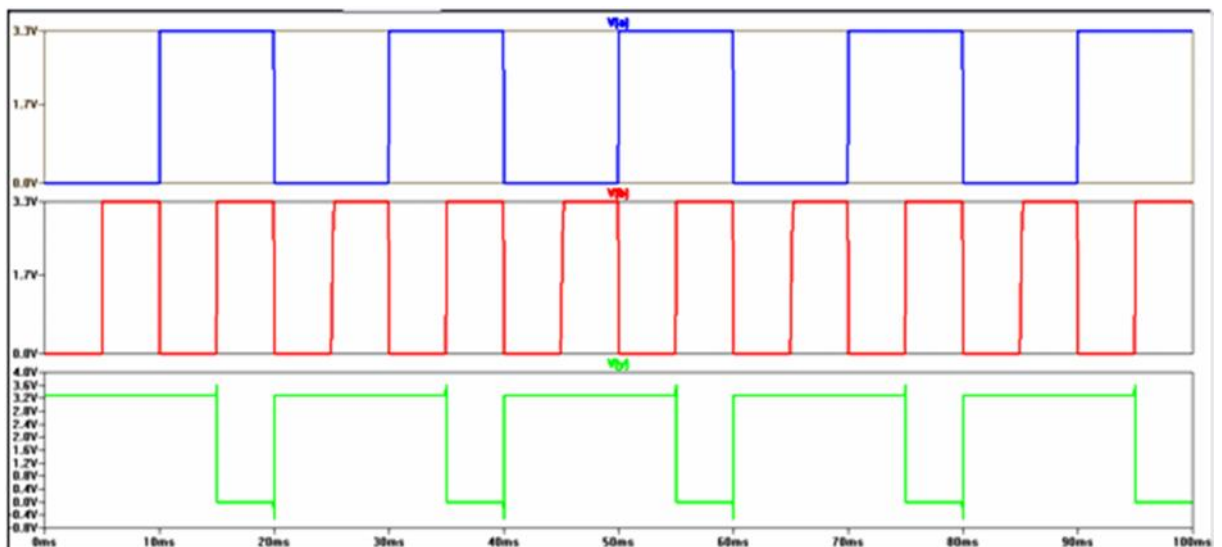
Perancangan rangkaian D Flip-flop dengan teknologi CMOS 0.35 μm pada gambar 5, dibuat menggunakan perangkat lunak LT-SPICE. Pada rancangan gambar 4 tersebut, masukan D mendapatkan sinyal dari keluaran Qi, dimana Qi adalah kebalikan dari Q. Tipe rancangan seperti pada gambar 5 adalah D Flip-flop master slave toggle.

4. HASIL SIMULASI

Rangkaian yang telah dirancang tersebut selanjutnya disimulasikan dengan menggunakan perangkat lunak LT-SPICE, dengan diberikan tegangan sebesar 3.3 Volt. Simulasi dimaksudkan untuk melihat gelombang keluaran untuk melihat waktu respon dan daya disipasi. Waktu respon adalah Kecepatan respon pada rangkaian D flip-flop ini adalah seberapa cepat sebuah sistem dapat memberikan keluaran yang baik, yaitu keluaran berupa gelombang kotak yang sama dengan masukan yang diberikan.

4.1 SIMULASI GELOMBANG KELUARAN GERBANG LOGIKA NAND

Perangkat lunak LT-SPICE selain digunakan untuk menggambar dan merancang rangkaian, juga digunakan untuk simulasi hasil rancangan rangkaian. Rancangan gerbang logika NAND pada gambar 4, disimulasikan dengan menggunakan perangkat lunak LT SPICE, untuk melihat gelombang keluaran yang dihasilkan oleh gerbang logika NAND tersebut apakah sudah sesuai dengan tabel kebenaran pada tabel 2. Hasil dari simulasi gelombang keluaran gerbang rangkaian logika NAND pada gambar 4 adalah seperti pada gambar 6.

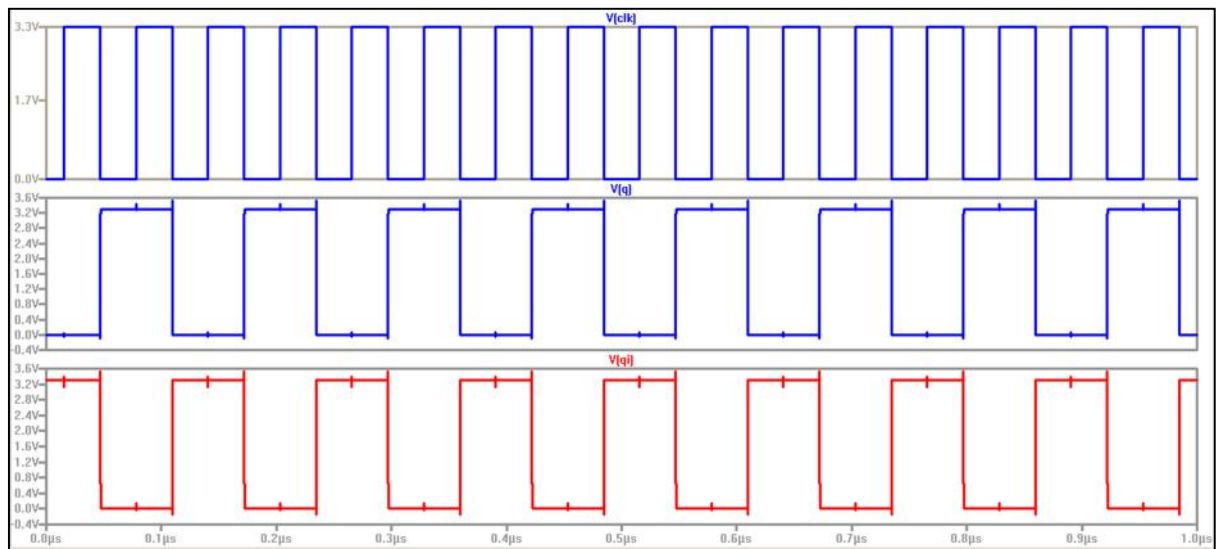


Gambar 6. Hasil simulasi gelombang keluaran gerbang logika NAND

Dari gambar 6 bisa disimpulkan jika gelombang hasil keluaran dari gerbang logika NAND adalah sesuai dengan tabel 2. Dengan demikian maka rancangan gerbang logika NAND pada gambar 4 sudah sesuai dengan yang diharapkan. Sehingga gerbang logika NAND tersebut bisa digunakan untuk membangun rangkaian D flip-flop berbasis gerbang NAND seperti skema yang sudah dirancang pada gambar 3.

4.2 SIMULASI GELOMBANG KELUARAN D FLIP-FLOP

Rancangan rangkaian D flip-flop pada gambar 5, disimulasikan menggunakan perangkat lunak LT-SPICE. Gambar 7 adalah hasil dari simulasi rangkaian D flip-flop dengan teknologi CMOS 0.35 μm .



Gambar 7. Hasil simulasi rangkaian D flip-flop pada frekuensi 16 MHz

Hasil simulasi pada gambar 7 adalah ketika pada keadaan frekuensi 16 MHz. Pada kondisi ini, gelombang keluaran Q terlihat kotak, ini adalah kondisi dimana gelombang keluaran Q masih dalam keadaan baik. Ketika frekuensi dinaikkan sampai pada frekuensi 20 MHz, keluaran Q mulai mengalami kemiringan. Tingkat kemiringan pada keluaran Q adalah kecepatan respon dari rangkaian ini. Kecepatan respon pada rangkaian D flip-flop ini adalah seberapa cepat sebuah sistem dapat memberikan keluaran yang baik, yaitu keluaran berupa gelombang kotak yang sama dengan masukan yang diberikan.

Berdasarkan simulasi saat frekuensi 20 MHz, gelombang keluaran Q mengalami kemiringan sebesar 0.2 ns (nano second). Berdasarkan data simulasi tersebut, maka kecepatan respon rangkaian D flip-flop pada rancangan ini adalah sebesar 0.2 ns. Dengan kata lain, rangkaian D flip-flop ini akan menghasilkan keluaran yang baik dengan kecepatan 0.2 ns dari waktu masukan yang diberikan.

Nilai arus dan disipasi daya pada simulasi menggunakan perangkat lunak LT SPICE ini, sudah tertera secara otomatis ketika simulasi dijalankan. Besarnya arus dan disipasi daya pada rancangan rangkaian D flip-flop ini adalah seperti terlihat pada gambar 8.

DC operating point: I(V1) = -49.223074pA Dissipation=-162.43614pW

Gambar 8. Hasil pengukuran arus dan disipasi daya rangkaian D flip-flop pada LT-SPICE

Berdasarkan data yang tertera pada gambar 8, nilai arus pada simulasi rancangan rangkaian D flip-flop ini adalah sebesar 49.223074 pA. Tegangan yang diberikan pada rangkaian ini adalah sebesar 3.3 Volt DC. Sehingga daya disipasi rangkaian D flip-flop ini adalah sebesar 162.43614 pWatt.

5. SIMPULAN

Rancangan D flip-flop master-slave toggle yang dibangun dengan gerbang logika NAND dengan teknologi CMOS 0.35 μm memiliki waktu respon sebesar 0.2 ns dan memiliki disipasi daya sebesar 162.43614 pWatt. Hasil tersebut didapatkan dari hasil simulasi menggunakan LT SPICE.

6. REFERENSI

- Malvino, Albert Paul, and Leach, Donald P, *Prinsip-prinsip dan penerapan digital*, 3rd Edition, translated by: Wijaya, irwan, Jakarta: Erlangga, 1987
- “Flip-Flops”, <https://www.csun.edu/~rd436460/DigitalElectronics/Chapter%205.pdf>
- A. Sahu, “Clocked R-S, D, J-K dan T Flip-Flop”, <https://www.iitg.ac.in/asahu/cs221-2011/Lects/Lec13.pdf>
- “Latches and Flip-Flop”, <https://cse.yeditepe.edu.tr/~ayildiz/attachments/flipflops.pdf>
- Lecture 18, EECS 105 Fall 1998, https://inst.eecs.berkeley.edu/~ee105/fa98/lectures_fall_98/100598_lecture18.pdf
- “Logic Gates”, <https://courses.cs.washington.edu/courses/cse370/08wi/pdfs/lectures/04-Logic%20gates.pdf>