

DESAIN DISKRIT GERBANG LOGIKA NAND 4 MASUKAN BERBASIS TEKNOLOGI CMOS 0,35 μ m

Dyah Nur'ainingsih¹⁾, Hamzah Afandi²⁾, Widyastuti³⁾

¹⁾Teknik Elektro, Universitas Gunadarma,
email : dyahnur@staff.gunadarma.ac.id

²⁾Teknik Elektro, Univeristas Gunadarma
email : hamzah@staff.gunadarma.ac.id

³⁾Teknik Elektro, Univeristas Gunadarma
email : widyast@staff.gunadarma.ac.id

Abstract

Dump Accumulator on RFID system built from Register and counter. On the block counter requires a series of NAND, Half Adder, and D flip flop. This paper compares the two discrete schematic designs for a combination of NAND 4 logic input gates. Schematic design made work at 5Mhz frequency and maximum voltage of 3.3volt with Lt spice XVII application software. The first design uses the AND and NAND 2 logic gate combined inputs. The second design uses a NAND 4 logic input gate that is combined from a horizontally arranged (PMOS) and vertical (NMOS) CMOS component. Overall the second design has many advantages over the first design. The simulation results of the two designs show that the first design has advantages in the test of time (speed test), T fall is balanced with T rise is 12ns, total time required 24ns. But power dissipation is large (55,43pW). While in the second design, it has a few advantages of small CMOS components, a simpler schematic design, a small power dissipation (11.15pW), speed at T fall (20ns) larger than T rise (2ns), total time required 22ns.

Keywords: gerbang logika NAND, Desain diskrit, Trise, Tfall, Power Dissipation

1. PENDAHULUAN

Teknologi RFID (*Radio Frequency Identification*) sudah banyak diterapkan pada berbagai aspek kehidupan. Beberapa contohnya adalah pada pintu masuk di setiap stasiun kereta api di Jabodetabek (commuter line), pada pintu akses busway. Pada pintu masuk gedung perkantoran, pada pintu E-TOL, maupun sistem ticketing masuk pada beberapa event organizer sudah menerapkan teknologi RFID ini.

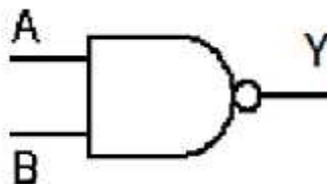
Penelitian yang dilakukan saat ini adalah penerapan teknologi RFID pada frekuensi 13,56 MHz untuk memantau unsur hara pada media tanam pembibitan tanaman. Pada prinsipnya teknologi RFID menggunakan dua bagian : Reader dan Tag untuk mengkomunikasikan data dari jarak jauh. Reader berfungsi sebagai pembaca data dan Tag berfungsi sebagai sumber data. Proses komunikasi data digital ini dilakukan tanpa kabel (nirkabel) yaitu dengan memanfaatkan gelombang radio. Salah satu bagian atau unit yang dibutuhkan untuk komunikasi data adalah dengan menggunakan metode Dump Accumulator, yaitu metode untuk proses komunikasi data digital dari data serial menjadi paralel. Dump Accumulator terdiri dari Register dan Counter. Untuk membangun counter diperlukan rangkaian kombinasional gerbang logika NAND, Half Adder dan D-flipflop.

Paper ini membahas tentang perbandingan dua desain rangkaian diskrit kombinasional gerbang logika NAND untuk 4 masukan. Desain pertama menggunakan kombinasi gerbang logika dengan 2 masukan. Desain kedua menggunakan 4 masukan langsung. Dari dua desain diskrit tersebut, akan dilihat desain mana yang lebih baik hasil

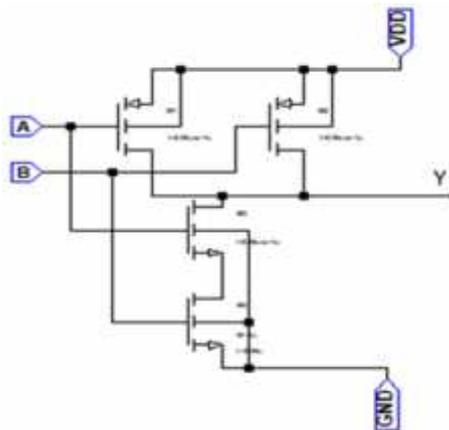
nya. Desain ini menggunakan komponen CMOS yang terdiri dari PMOS dan NMOS. Adapun perancangan rangkaian kombinasional tersebut menggunakan software aplikasi LTSpice dengan teknologi CMOS 0,35 μm . Aplikasi ini mempunyai fitur untuk merancang schematic rangkaian sampai simulasi hasil rancangan.

2. KAJIAN LITERATUR

Gerbang logika NAND adalah hasil kombinasi gerbang logika AND dan gerbang logika NOT. Prinsip kerja gerbang ini adalah menghasilkan keluaran logika 0 apabila semua masukan logika 1. Dengan kata lain, akan menghasilkan keluaran 1 apabila salah satu atau semua masukan berlogika 0. Gambar 1 menunjukkan simbol gerbang logika NAND. Gambar 2 adalah desain diskrit gerbang logika NAND yang dibangun menggunakan komponen CMOS (PMOS dan NMOS). Sedangkan Tabel 1 menunjukkan tabel kebenaran gerbang NAND.



Gambar 1. Simbol Gerbang LogikaNAND

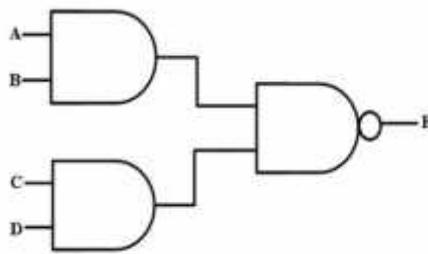


Gambar 2. Desain Diskrit Gerbang logika NAND

Tabel 1. Tabel Kebenaran Gerbang Logika NAND

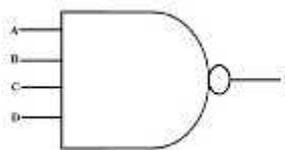
| A | B | Y |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Ada beberapa cara atau metode yang bisa dilakukan untuk merancang kombinasi gerbang logika NAND dengan 4 masukan. Desain pertama diperlihatkan pada gambar 3, yaitu mengkombinasikan dua gerbang AND dan 1 gerbang NAND.



Gambar 3. Gerbang logika NAND 4 input dari kombinasi 2 input

Pada Gambar 3 adalah desain sebuah gerbang logika NAND 4 input yang dibangun dari kombinasi 3 gerbang logika dengan 2 input. Desain yang kedua adalah membuat sebuah gerbang logika dengan 4 input sekaligus. Untuk lebih jelasnya dapat dilihat pada gambar 4.

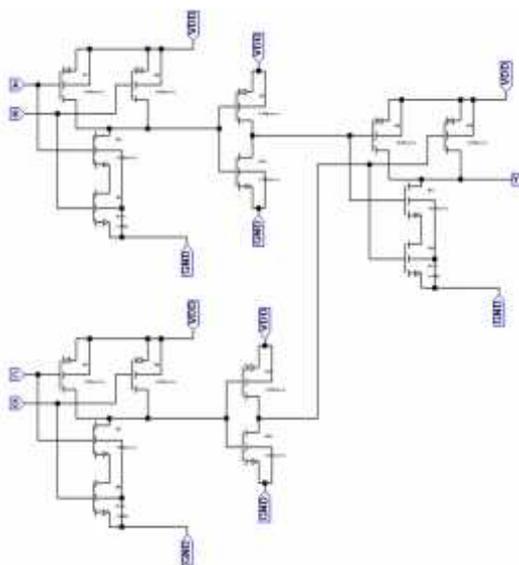


Gambar 4. Kombinasi Gerbang NAND dengan 4 input

Perbedaan yang sangat nyata dari dua desain diskrit tersebut adalah pada komponen dasar yang digunakan yaitu jumlah NMOS dan PMOS, juga cara menyusun komponen-komponen tersebut menjadi sebuah rangkaian diskrit

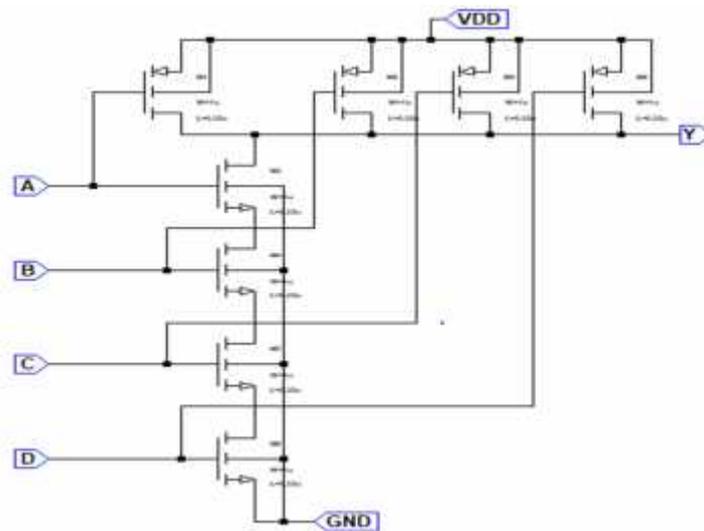
3. METODE PENELITIAN

Metode penelitian yang digunakan adalah dengan membandingkan sinyal keluaran dari dua desain diskrit gerbang logika NAND 4 input. Kedua desain tersebut menggunakan tegangan sumber sebesar 3,3 volt.



Gambar 5. Desain gerbang logika NAND 4 input dari kombinasi 2 input

Pada desain pertama (Schematic gerbang logika NAND 4 input dari kombinasi 2 input) dibangun dengan menggunakan 8 komponen PMOS dan 8 komponen NMOS (total 16 komponen CMOS).



Gambar 6. Desain kombinasi logika NAND 4 input

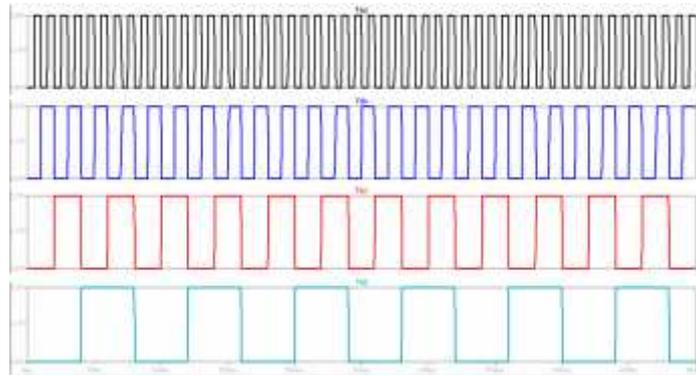
Pada desain kedua (Schematic kombinasi gerbang logika NAND 4 input), seperti pada gambar 6, membutuhkan 8 komponen CMOS (8 komponen PMOS dan 8 komponen NMOS). Apabila dilihat dari jumlah komponen yang mendukung, desain kedua membutuhkan komponen lebih sedikit. Sedangkan untuk tabel kebenaran kombinasi gerbang logika NAND 4 input (A, B, C, D) dari kedua desain tersebut diperlihatkan dalam tabel 2.

Tabel 2. Tabel Kebenaran Gerbang Logika NAND 4 Input

| INPUT | | | | OUTPUT |
|-------|---|---|---|--------|
| D | C | B | A | Y |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

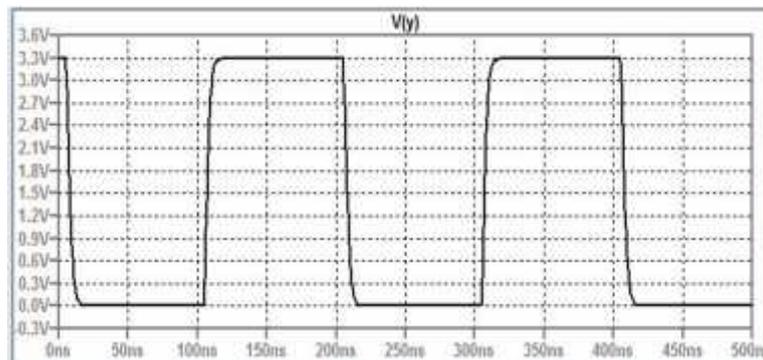
4. HASIL PENELITIAN

Hasil simulasi sinyal 4 input untuk dua desain adalah sama . Baris pertama (Va) menyatakan input A, baris kedua (Vb) menyatakan input B, baris ketiga (Vc) menyatakan input C, dan baris keempat menyatakan input D (seperti terlihat pada tabel 2)



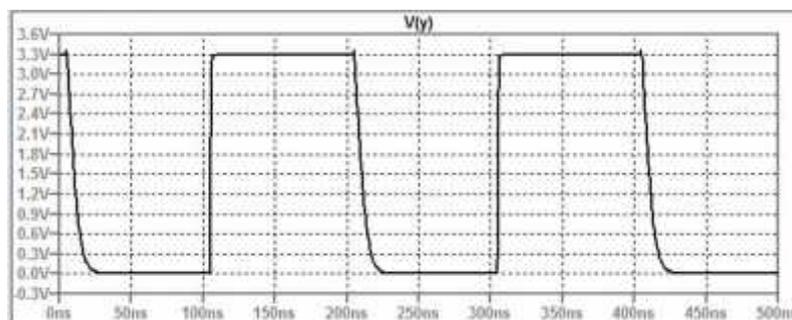
Gambar 7. Sinyal input A, B, C, D

Hasil simulasi untuk pengujian desain pertama seperti pada gambar 8 dan desain kedua pada gambar 9. Simulasi kedua desain tersebut dengan frekuensi maksimal 5Mhz. Dari hasil simulasi desain yang pertama diperoleh hasil, waktu yang diperlukan mulai dari 0 volt sampai 3,3 volt (Trise) adalah 12ns. Sedangkan waktu yang diperlukan mulai 3,3volt sampai 0 (Tfall) adalah 12ns.



Gambar 8. Hasil Simulasi desain pertama

Pada hasil simulasi desain kedua diperoleh hasil Trise adalah 2ns dan Tfall adalah 20ns. Kedua desain , mempunyai karakteristik yang berbeda. Tabel 3 menunjukkan perbedaan hasil simulasi desain Desain pertama dan desain kedua.



Gambar 9. Hasil Simulasi desain kedua

Tabel 3. Tabel Perbandingan Kedua Desain

| Keterangan | Desain Pertama | Desain kedua |
|------------------------|----------------|--------------|
| Jumlah PMOS | 8 | 4 |
| Jumlah NMOS | 8 | 4 |
| Trise (ns) | 12 | 2 |
| Tfall (ns) | 12 | 20 |
| Tot = Trise+Tfall (ns) | 24 | 22 |
| Arus (pA) | 16,79 | 3,38 |
| Disipasi Daya (pW) | 55,43 | 11,15 |

Kelebihan desain pertama adalah waktu yang diperlukan saat naik mencapai 3,3volt (Trise) sama atau seimbang dengan waktu yang diperlukan saat turun sampai 0 volt yaitu 12ns, Total uji kecepatan 24ns. Sedangkan kekurangannya adalah jumlah komponen yang lebih banyak yang menyebabkan power dissipation menjadi tinggi (55,43 pW) dan ruang desain layout lebih luas. Desain kedua mempunyai kelebihan jumlah komponen sedikit, sehingga power dissipation jauh lebih rendah (11,15 pW) dibandingkan dengan desain pertama. Desain layout bisa lebih sempit atau kecil. Pada uji kecepatan, waktu yang diperlukan saat Trise 2ns dan saat Tfall 20ns. Dari hasil simulasi menunjukkan bahwa secara keseluruhan Desain kedua lebih banyak kelebihannya.

5. SIMPULAN

Desain schematic gerbang logika NAND 4 input diatur bekerja pada frekuensi tinggi maksimal 5 MHz. Tegangan sumber yang diberikan antara 0 volt sampai 3,3volt. Desain pertama mempunyai kelebihan waktu yang diperlukan mulai 0volt sampai 3,3volt (Trise) sama atau seimbang dengan waktu yang diperlukan saat 3,3volt sampai 0volt (Tfall) yaitu 12ns, total waktu 24ns, power dissipation besar (55,43pW). Pada Desain kedua mempunyai kelebihan jumlah komponen CMOS lebih sedikit, power dissipation jauh lebih kecil (11,15pW), dan ruang desain layout lebih kecil. Waktu yang diperlukan saat Trise 2ns dan saat Tfall 20 ns, total waktu 22ns.

6. REFERENSI

- Wasito , S , *Vademekum Elektronika*, Gramedia, 1984.
- Baker, R. J. , *CMOS Circuit Design, Layout, and Simulation*, Wiley Interscience & IEEE Press., 2005
- Malvino, Albert Paul , *Prinsip-prinsip dan Penerapan Digital*, Erlangga, 1987
- M. Horowitz, T. Indermaur, and R. Gonzalez, "Low-Power Digital Design," *IEEE Symposium on Low Power Electronics, Tech. Dig.*, San-Diego, October 1994, pp. 8–11,
- M. Shoji , " *CMOS Digital Circuit Technology*", Prentice Hall Inc., Englewood Cliffs, NJ., 1988
- Nixon M.S. , *Combinational Logic Design. In: Introductory Digital Design.*, Palgrave, London., 1995